

DLL CIRCUIT

Patent Number: JP1081526

Publication date: 1989-03-27

Inventor(s): OYAMA KOYO

Applicant(s): NEC CORP

Requested Patent: JP1081526

Application Number: JP19870237409 19870924

Priority Number(s):

IPC Classification: H03L7/06

EC Classification:

Equivalents:

Abstract

PURPOSE:To offer a DLL circuit generating autonomously a clock whose duty ratio is 50% from the clock failed in duty without external adjustment by using a digital circuit and a clock whose duty ratio is deteriorated.

CONSTITUTION:A 1st flip-flop 1 frequency-divides an input clock CIN by 1/2. 1st buffer gate 2 being a component of a delay circuit generates plural delay multiple period clocks C1-CM whose delay time differs based on the said 1/2 frequency division clock. A 2nd flip-flop 4 detects a clock of double period delayed by a half period based on the inverted phase input of the said clock CIN and the said delayed double clocks C1-CM. An encoder 5 with priority obtains the youngest number corresponding to the active input. An M-1 selector 3 selects and outputs a delayed double period clock Cj corresponding to the number instructed by the encoder 5. An exclusive OR circuit 6 ORs exclusively the clock Cj and the said reference double period clock C0.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報 (A) 昭64-81526

⑬ Int.Cl.⁴

H 03 L 7/06

識別記号

厅内整理番号

⑭ 公開 昭和64年(1989)3月27日

B-8731-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 D L L回路

⑯ 特願 昭62-237409

⑰ 出願 昭62(1987)9月24日

⑱ 発明者 尾山 幸洋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 渡辺 喜平

明細書

1. 発明の名称

D L L回路

2. 特許請求の範囲

周期一定の基準クロックから、その三倍の周期の基準倍周期クロックを生成する分集回路と、この基準倍周期クロックを入力して遅延時間が異なる複数の遅延倍周期クロックを生成する遅延回路と、上記基準倍周期クロックを逆位相で入力し、上記複数の遅延倍周期クロックのうち基準倍周期クロックから半周期ずれた遅延倍周期クロックを検出する半周期遅延倍周期クロック検出回路と、この半周期遅延倍周期クロック検出回路の出力にもとづいて基準倍周期クロックから $1/4$ 周期ずれた遅延倍周期クロックを算出する $1/4$ 周期遅延倍周期クロック算出回路と、この $1/4$ 周期遅延倍周期クロック算出結果にもとづいて上記遅延

倍周期クロックのうち基準倍周期クロックから $1/4$ 周期ずれた遅延倍周期クロックを選択する選択回路と、この選択回路出力の遅延倍周期クロックと上記基準倍周期クロックとの排他的論理和をとる排他的論理和回路とを具備することを特徴とするD L L回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デューティー50%の同期用クロックを生成するD L L(D u t y L o c k e d L o o p)回路に関し、特に、ディジタル回路によって自律的にデューティー補正を行なうD L L回路に関する。

〔従来の技術〕

一般に、同期用クロックの性状としてデューティーが50%のクロックであることが必要となることがある。このため、周期一定の基準クロックを入力して、デューティー50%のクロックを生

成する D L L 回路が利用されている。

ところで、従来の D L L 回路は、アナログ回路で構成されており、クロックの振幅をレベルスライスすることによってデューティー調整を行なっていた。

[解決すべき問題点]

上述した従来の D L L 回路は、外部からの測定器による調整を必要としていたり、デューティーの基準となるクロックを別に必要とするなど、自律的にデューティーを調整することができないという問題点があった。

本発明は、上記問題点にかんがみてなされたもので、自律的にデューティーを調整することが可能な D L L 回路の提供を目的とする。

[問題点の解決手段]

上記目的を達成するため、本発明の D L L 回路は、周期一定の基準クロックから、その二倍の周期の基準倍周期クロックを生成する分集回路と、

-3-

以下、図面にもとづいて本発明の実施例を説明する。

第1図は、本発明の一実施例に係る D L L 回路のプロック図、第2および3図は第1図の D L L 回路の動作を示すタイミングチャートである。

同図において、1は第1のフリップフロップであり、入力クロック C_{IN} の二分集を行なって基準倍周期クロックを出力する。2は第1のバッファゲート ($B F_1 \sim B F_n$) であり、M個で構成されている。各バッファゲート2は、基準倍周期クロック C_0 に対して略同一の遅延時間を順次加算して出力する。このため、M種の遅延倍周期クロック ($C_1 \sim C_n$) が形成されることになる。

3はM-1セレクタであり、M種の遅延倍周期クロック ($C_1 \sim C_n$) と選択番号が入力されており、選択番号で指示された一つの遅延倍周期クロック C_J を出力する。4は第2のフリップフロップであり、遅延倍周期クロック ($C_1 \sim C_n$) のそ

この基準倍周期クロックを入力して遅延時間が異なる複数の遅延倍周期クロックを生成する遅延回路と、上記基準倍周期クロックを逆位相で入力し、上記複数の遅延倍周期クロックのうち基準倍周期クロックから半周期ずれた遅延倍周期クロックを検出する半周期遅延倍周期クロック検出回路と、この半周期遅延倍周期クロック検出回路の出力にもとづいて基準倍周期クロックから $1/4$ 周期ずれた遅延倍周期クロックを算出する $1/4$ 周期遅延倍周期クロック算出回路と、この $1/4$ 周期遅延倍周期クロック算出結果にもとづいて上記遅延倍周期クロックのうち基準倍周期クロックから $1/4$ 周期ずれた遅延倍周期クロックを選択する選択回路と、この選択回路出力の遅延倍周期クロックと上記基準倍周期クロックとの排他的論理和をとる排他的論理和回路とを備えた構成としてある。

[実施例]

-4-

これに對して一つずつ、計M個から構成されている。また、フリップフロップ4には基準倍周期クロックの逆位相のクロックも入力されており、このクロックにより遅延倍周期クロック ($C_1 \sim C_n$) のラッシュを行なう。

5は優先権付エンコーダ (M-1エンコーダ) であり、フリップフロップ5のM種の出力が逆極性とされて入力されている。そして、このM種の入力のうち、アクティブとなっている入力の最も若い番号を選択し、その番号をバイナリーコードで出力する。このとき、バイナリーコードの上位1ビット以外が、M-1セレクタに対する指示番号として出力されている。6は排他的論理和回路であり、互いに $1/4$ 周期だけずれた二つの倍周期クロックからデューティー5.0%の出力 C_{OUT} を作り出す。7は第2のバッファゲートであり、M-1セレクタ3での遅延補正を行なう。

上記構成において、フリップフロップ1に周期

一定の基準クロック C_{IN} が入力されると、その二倍の周期である基準倍周期クロック C_0 が出力される。そして、M個のバッファゲート2では、各バッファゲート単位で基準倍周期クロックから微少時間だけ遅延された複数の遅延倍周期クロック ($C_1 \sim C_n$) を発生させる。

一方、フリップフロップ4は、基準倍周期クロック C_0 と逆位相のクロックによって各遅延倍周期クロック ($C_1 \sim C_n$) をラッチする。そして、このラッチ出力の逆極性の出力を優先権付エンコーダ5に入力する。また、優先権付エンコーダ5は、このうちアクティブである入力に対応する最も若い番号を求める。

ここで、第2図を参照してフリップフロップ4と優先権付エンコーダ5の動作について説明を加える。

フリップフロップ4では、基準倍周期クロック C_0 の逆位相をラッチタイミングとすることによ

-7-

ビットを除去することにより容易に行なわれる。これにより、基準倍周期クロック C_0 に対して $1/4$ 周期ずれた遅延倍周期クロック C_1 が検出されたことになる。

$M-1$ セレクタ3では、優先権付エンコーダ5によって指示された番号に該当する遅延倍周期クロック C_1 を選択して出力する。そして、この $1/4$ 周期ずれた遅延倍周期クロック C_1 と基準倍周期クロック C_0 は、排他的論理和回路6に入力される。第3図を参照すると明らかなように、この二入力の排他的論理和を取った結果がデューティー50%の出力クロックとなり、排他的論理和回路6から出力される。

なお、本発明は上記実施例に限定されるものではなく、要旨の範囲内における種々変形例を含むものである。例えば、上述の実施例では、バッファゲート2の出力と優先権付エンコーダ5の指示番号を $M-1$ セレクタ3に入力して一つの遅延倍周

り、基準倍周期クロック C_0 からの遅延時間が半周期以内のものがアクティブとして出力されることがある ($C_1 \sim C_{k-1}$)。しかし、優先権付エンコーダ5には、その逆極性出力が入力されるから、結局、基準倍周期クロック C_0 からの遅延時間が半周期以上となるものがアクティブとなっている ($C_k \sim C_n$)。さらに、優先権付エンコーダ5は、このうちの最も若い番号を選択するため、基準倍周期クロックに対して半周期以上ずれることとなった最初の遅延倍周期クロック C_k の番号 K が求められる。これは、略半周期ずれた遅延倍周期クロックの検出にあたる。

第1図に戻って、優先権付エンコーダ5は、さらに、最若番号が偶数のときはその二分の一の番号を、また最若番号が奇数のときは最若番号+1の二分の一の番号を $M-1$ セレクタ3に出力する。これは、優先権付エンコーダ5から出力される番号がバイナリーコードで出力されるため、上位1

-8-

期クロックを選択しているが、各バッファゲート2の出力に対して2入力ANDゲートを用いたり、フリップフロップ4の出力をROMのアドレス入力とし、そのデータ出力で $1/4$ 周期ずれた遅延倍周期クロックを発生するバッファゲート2を選択することもできる。

【発明の効果】

以上説明したように本発明は、ディジタル回路を用いることにより、デューティーのくずれたクロックから、外部からの調整を必要とすることなく、自律的に、同一周期で、かつ、デューティー50%のクロックを生成せしめるDLS回路を提供できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るDLS回路のプロック図、第2および3図は第1図のDLS回路の動作を示すタイミングチャートである。

-9-

-145-

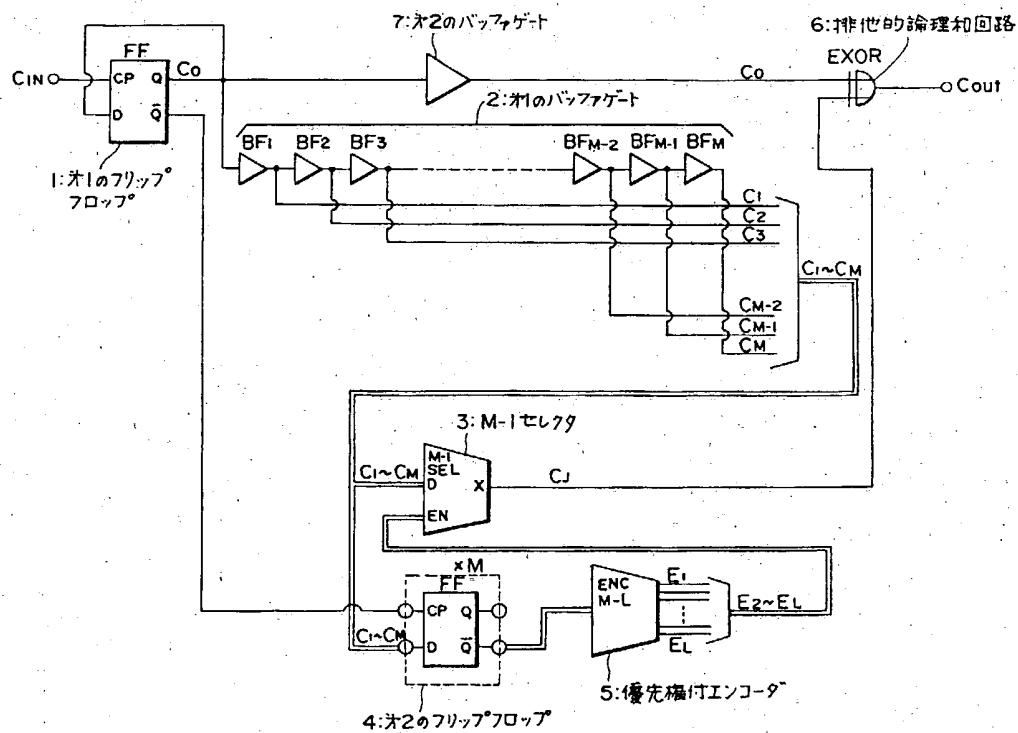
-10-

- 1: 第1のフリップフロップ
- 2: 第1のバッファゲート
- 3: M-1セレクタ
- 4: 第2のフリップフロップ
- 5: 優先権付エンコーダ
- 6: 排他的論理和回路

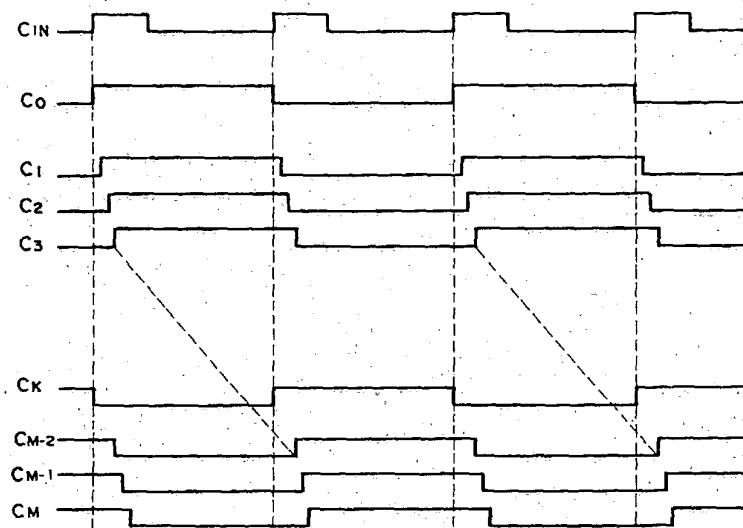
代理人 弁理士 渡辺喜平

-11-

第一回



第 2 図



第 3 図

